

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-284518

(43)Date of publication of application : 31.10.1997

(51)Int.Cl.

H04N 1/21

H04N 1/44

(21)Application number : 08-118437

(71)Applicant : RICOH CO LTD

(22)Date of filing : 16.04.1996

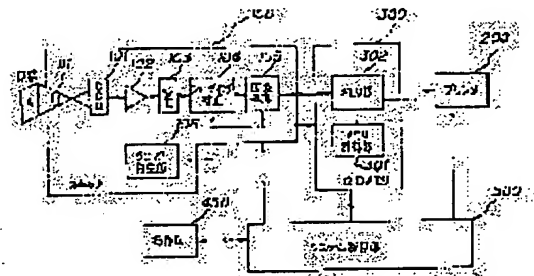
(72)Inventor : OBATA MASATO

(54) DIGITAL IMAGE FORMING DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a digital image forming device for improving secrecy.

SOLUTION: A scanner 100 digitally reads an image on an original and an image memory 300 stores image data which is read. The image is formed based on stored image data and image data is read again from the image memory after a series of image forming operations terminate. A system control part 500 forms the image. Image data which the image memory stores can arbitrarily be deleted. Thus, the formation of the image by an unrelated person can be prevented. Then, convenience improves when it is automatically deleted after prescribed time passes.



LEGAL STATUS

[Date of request for examination] 05.09.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP) (12) 公 開 特 許 公 報 (A)

(11)特許公開番号

特開平9-284518

(43)公開日 平成9年(1997)10月31日

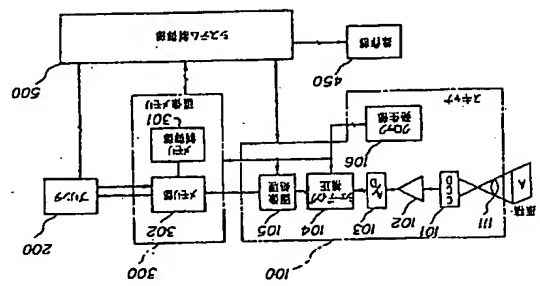
(51)IntCl. ⁴	公開番号	特許庁	特許庁
H04N 1/21	H04N 1/21	特許庁	特許庁
1/44	1/44	特許庁	特許庁

審査請求 未請求 請求項の数 4 F D (全 17 頁)

(21)出願番号	特開平9-118437	(71)出願人	000006747 株式会社リコー 東京都大田区中馬込1丁目3番6号
(22)出願日	平成8年(1996)4月16日	(72)発明者	小橋 正人 東京都大田区中馬込1丁目3番6号 株式会社リコー内

(54)【発明の名称】 デジタル画像形成装置

(57)【要約】
【課題】 機密性を高めたデジタル画像形成装置を提供することを目的とする。
【解決手段】 スキャナ100で原稿上の画像をデジタル的に読み取り、読み取られた画像データを画像メモリ300が記憶する。記憶した画像データに基づいて画像形成を行い、一連の画像形成動作終了後、再度画像メモリから画像データを読み出し、システム制御部500が画像形成を行わせる。画像メモリが記憶した画像データは任意に消去を可能に構成する。よって、無関係な人による画像再形成を防止することが可能となる。また、所定の時間経過後に自動的に消去させたりすると利便性が向上する。



- (2) 【特許請求の範囲】
【請求項1】 原稿上の画像をデジタル的に読み取る読取手段と、
前記読取手段により読み取られた画像データを記憶するための記憶手段と、
前記記憶手段に基づいて画像形成を行う画像形成手段と、
一連の画像形成動作終了後、再度前記記憶手段から画像データを読み出し、前記画像形成手段により画像形成を行わせる画像再形成制御手段と、
前記記憶手段に記憶した画像データを消去する消去手段とを備え、
前記記憶手段で記憶した画像データを任意に消去可能としたことを特徴とするデジタル画像形成装置。
【請求項2】 更に画像形成のためのモードをクリアするモードクリア手段を備え、前記消去手段による前記記憶手段に記憶した画像データの消去を、前記モードクリア手段によるモードクリアを実行した時に行うことを特徴とする請求項1記載のデジタル画像形成装置。
【請求項3】 更に時間を計時する計時手段を備え、前記消去手段による前記記憶手段に記憶した画像データの消去を、一連の画像形成動作終了後、前記計時手段により所定時間計時した後に実行することを特徴とする請求項1記載のデジタル画像形成装置。
【請求項4】 更に前記記憶手段の使用した領域を判断する手段を備え、前記消去手段による前記記憶手段に記憶した画像データの消去を、前記記憶手段の使用した領域のみ消去することを特徴とする請求項1記載のデジタル画像形成装置。
【発明の詳細な説明】
【0001】
【発明の属する技術分野】 本発明は、画像データを一旦メモリに記憶して複写動作を行うデジタル画像形成装置に関する。
【0002】
【従来の技術】 従来のデジタル画像形成装置として、特開平9-236676号に開示されているものが一般的に知られている。本従来例のデジタル画像形成装置は、原稿を読み取る読取手段と、読取手段により読み取ったデータを記憶する記憶手段と、記憶手段に記憶された画像データに基づき画像形成を行う画像形成手段と、画像データの加工を行う画像編集手段と、一連の複写動作終了後、画像編集手段による編集内容を変更して再び画像再形成制御手段とを備えている。この構成により、原稿を何度も読み取ることなく所望の複写画像を得ることができるとしている。
【0003】
【発明が解決しようとする課題】 しかしながら、上記に示した従来例では記憶手段に記憶した画像データを消去

する手段を持たなかったため、複写動作終了後、無関係な人が画像を再び形成することが出てしまうので、機密の保持という点では不十分である問題点を伴う。
【0004】 本発明は、機密性を高めたデジタル画像形成装置を提供することを目的とする。
【0005】
【課題を解決するための手段】 かかる目的を達成するため、本発明のデジタル画像形成装置は、原稿上の画像をデジタル的に読み取る読取手段と、読取手段により読み取られた画像データを記憶するための記憶手段と、記憶手段に記憶した画像データを消去する消去手段とを備え、前記記憶手段で記憶した画像データを任意に消去可能としたことを特徴としている。
【0006】 さらに、上記に記憶したデジタル画像形成装置は、画像形成のためのモードをクリアするモードクリア手段を備え、消去手段による記憶手段に記憶した画像データの消去を、モードクリア手段によるモードクリアを実行した時に行うことにより、一連の画像形成動作終了後、計時手段により所定時間計時した後に実行し、または、記憶手段の使用した領域を判断する手段を備え、記憶手段に記憶した画像データを、記憶手段の使用した領域のみ消去することにより、
【0007】 なおさらに、時間を計時する計時手段を備え、消去手段による記憶手段に記憶した画像データの消去を、一連の画像形成動作終了後、計時手段により所定時間計時した後に実行し、または、記憶手段の使用した領域を判断する手段を備え、記憶手段に記憶した画像データを、記憶手段の使用した領域のみ消去することにより、
【0008】
【発明の実施の形態】 次に添付図面を参照して本発明によるデジタル画像形成装置の実施の形態を詳細に説明する。図1〜図38を参照すると本発明のデジタル画像形成装置の一実施形態が示されている。
【0009】 まずデジタル複写機の全体の概要について説明する。図1は本発明のデジタル複写機の構成を示しており、大別して、原稿から画像データを読み込むスキャナ100と、読み込んだ画像データを記録紙に記憶するためのプリンタ200と、スキャナ100で読み取った画像データを記憶する画像メモリ300と、各種の複写モードの設定、オペレータに対する表示などを行う操作部450と、複写機全体の制御及び原稿の画像データの読み取り及び書き込み指示を行うシステム制御装置500とから構成されている。
【0010】 スキャナ100は、図2の概略図に示すように、原稿を中央部でコンタクトガラス108上で搬送させ、原稿面を光源110で照射し、その反射光をレンズ111でCCD（電荷転送素子）101上に結像させてCCD101で読み取る。そしてCCD101から出力されるアナログ信号は図1の増幅回路102で増幅されてA/D変換器103に入力され、A/D変換器104

(3)

03でディジタル信号（以下、画像データとも言う）に
変換後、シェーディング補正回路104にてCCD10
1の感度ムラや、光源110の光量のムラや、レンズ1
11などの光量分布の補正を行われ、その後画像処理回
路105に入力して、MTF補正や歪曲処理、2値化な
どさまざまな処理を施した後に画像メモリ300に転
送する。

10 [10011] またはスキヤナ100内のクロック発生部1
06では画像読み取り時に用いる制御用の信号を発生し
ている。図3に各制御信号と原稿との関係を示す。制御
信号には、主走査方向の同期を取るための信号LSYNC
と、主走査方向の最大読み取り有効領域を表す信号LG
ATEと、LGATEの開始を表す信号*LGATES
Tと、後で詳しく説明するが原稿の副走査方向の有効領
域を表す信号WFGATEと、図3には示していないが
全体の基準となるクロック信号CLKなどがある。

[10012] 画像メモリ300にはスキヤナ100から
同軸ケーブル700を介して送られてきた画像データが
入力される。この画像メモリ300は前述するメモリ制
御部301とメモリ部302とで構成されており、メモ
リの容量は16Mbit、DRAMを16個搭載してい
る。00DPI（ドット/インチ）、2値で読み取った場合
およそA0サイズ1枚分に相当する。

[10013] プリント200は基本的にはアナログ複写
機と同じプロセス（ドラム廻り、搬送、分離、定着）を
持つが、書き込み部がディジタル機特有であり、本実施
例ではレザダイオードやLEDアレイにより感光体ド
ラム上に静電潜像を形成し、記録紙上に転写して定着す
ることにより複写画像を形成する。

[10014] 次に画像メモリ300について図4を使用
して詳細に説明する。画像メモリ300は前述のように
実際に画像データを記憶するメモリ部302とメモリ部
302に対して書き込みアドレスや読み出しアドレス、
また画像データなどの制御を行うメモリ制御部301と
に分かれており、メモリ制御部301は更に画像データ
をメモリ部302のどの位置に書き込むかを或いはどの
位置から読み出すかを制御するアドレス制御部303
と、書き込み、読み出しのアドレス計算、管理などメモ
リ部302に対するメモリ制御部305と、画
像データを処理する画像データ処理部306に分かれて
いる。

[10015] 更にアドレス制御部303はメモリ部30
2への書き込みに関する部分として、原稿の幅、すなわ
ち画像データの主走査方向の有効領域を検知する原稿幅
検知部310と原稿の長さ、すなわち画像データの副走
査方向の有効領域を検知する原稿長さ検知部320と、メ
モリ部302へ書き込みアドレスを発生する書き込みア
ドレス発生部330と、書き込みアドレス発生部330
へアドレスの初期値を設定する書き込みアドレス設定部

(4)

5
るラッチ信号CLK16を入力してラッチし、周期を1
/16に落として16ラインパラレルに変換した画像デ
ータD3を出力する。そしてこの16ビット単位でメモ
リ部302の16個のメモリ素子に対してライト/リー
ドを行う。

[10022] 画像データの周期を1/16に落とすこと
により、見かけ上メモリ部302に対してライトとリー
ドの動作を同時に行うように制御できる。つまり図28
に示すようにクロック信号CLKの16周期をメモリサ
イクルの単位として、最初の4CLK周期をリードサイ
クル、次の8CLK周期をリフレッシュサイクル、最後
の4CLK周期をライトサイクルとし、16CLK周期
単位でライトとリードを同時に行っている。

[10023] そして各々のサイクルが有効であることを
示す信号をそれぞれ*RDEN、*RRFEN、*WRE
Nとし、各信号ともLレベルの間がそのサイクルが有効
とす。F/F613の出力がインバーツ端子OEには*
WRENを入力している。実際にはF/F613は
ライトサイクルが有効な期間のみ画像データD3を出力
し、その他の期間では出力はハイインピーダンス状態と
なる。

[10024] メモリの内容を消去する場合にはWFGA
TE信号がオンせずにLレベルのままなので画像データ
D2は常にマスクされる。従って最終的にF/F613
から出力される画像データD3は常にLレベル（白デー
タ）となる。このデータをメモリ302に書き込むこと
により消去できる。

[10025] データ切り換え部620について説明す
る。データ切り換え部620は図29に示すように双方
向トランシーバ621により構成されており、データ入
出力A端子にはS/P変換部610及び後述のデータラ
ッチ部630の16bitのデータラインが接続され、
データ入出力B端子にはメモリ部302の16bitの
データラインが接続されている。

[10026] 図28も用いて動作を説明する。方向切り
換え端子DIRには*WRENが接続されているので、
*WRENがLレベルの間（ライト動作が有効の間）は
画像データの方向はA端子からB端子となり、S/P変
換部610からメモリ部302に画像データは流れる。
逆に*WRENがHレベルの間は画像データの方向はB
端子からA端子となり、メモリ部302から後述のデー
タラッチ部630に画像データは流れる。ただし出力カ
インバーツ端子OEには*RFENを入力している。このリ
フレッシュ期間中はデータ入出力端子A、B共に、ハイ
インピーダンス状態となる。

[10027] データラッチ部630について説明する。
データラッチ部630は図30に示すようにF/F63
1にて構成されている。図31も用いて動作を説明す
る。データ切り換え部620により、画像データはメモ
リ部302へのライトデータからメモリ部302からのリ

6

ードデータかを切り換えられ、時分断でリードサイクル
の時にメモリ部302にから画像データは読み出され
る。そしてこの読み出された画像データD3をF/F6
31のクロック端子CLKに入力したクロック信号RD
STBでラッチして画像データD5を出力する。

[10028] P/S変換部640について説明する。P
/S変換部640は、図32に示すように、シフトレジ
スタ651により構成されている。図33も用いて動作
を説明する。

[10029] データラッチ部630により所定のタイミ
ングにてラッチされたパラレルの画像データD5をシフ
トレジスタ651のパラレル入力P10～P115に入
力し、シフト/ロード端子SH/*LDにシフト/ロー
ド信号*DTLDを入力すると、*DTLDがLレベル
の時にクロック端子CLKに入力したクロック信号CL
Kの立ち上がりエッジでパラレル入力を入力したD5が
ロードされ、それと同時にシリアル出力端子SOにはD
500を出力する。以下*DTLDがHレベルの間、C
LKに同期して画像データをシフトして、シフトレジス
タ651のシリアル出力SOにはD501、502、
...、515を出力し、シリアル出力端子D6を得
る。

[10030] 画像加工部650について説明する。画像
加工部650は図34に示すようにEX-ORゲート6
71、トグルラインバフア672、ラインバフア
のライトアドレスカウンタ673、リードアドレスカウ
ンタ674にて構成される。

[10031] 以下動作を説明する。EX-ORゲート6
71は画像反転を行うためのものであり、ラインバフ
ア672、ライトアドレスカウンタ673、リードアド
レスカウンタ674は画像シフト、ミラーリング、ダブ
ルコピーを行うためのものである。EX-ORゲート6
71では画像データD6とシステム制御305からの反
転/非反転切り換え信号REVを入力している。R
EVがLレベルで反転処理を行わない時は画像データD
6をスルーで出力するが、REVがHレベルの時は反転
処理を行うので画像データD6を反転処理した後出力す
る。

[10032] またラインバフア672ではライトアド
レスカウンタ673及びリードアドレスカウンタ674
により指定する書き込み/読み出しアドレスをずらすこ
とにより主走査方向に画像シフトしたり、昇順に書き込
んで降順に読み出すことによりミラーリングを行っ
た。1LSYNC内に1度読み出し終了後も1度読み
出すことによりダブリングを実現する。このラインバ
フのアドレス制御についてはシステム制御305よ
り設定された画像情報に基づいて行う。この様に画像編
集した画像データD7を得る。

[10033] アドレス制御部303の各部について説明
する。最初にアドレス制御部303の書き込みに関する

(5)

部分について説明する。原価検知部310及び原価長検知部302について説明する。図5はエキサナ100の原価検知部を上からみた図であり、コンタクトガラス108の手前に原価検知センサ311～318および原価挿入センサ321、原価長検知センサ322を配置している。各センサは反射型または透過型であり原価がその上に存在するか否かによりオンまたはオフする。

【0034】図2も用いて実際の原価検知動作に基いて各センサの動作を説明する。オペレータが原価を入口ローラに挿入すると、原価検知センサ311～318が挿入した原価のサイズに応じてオンする。例えばA4横サイズの原価を挿入した場合は314、315のセンサだけがオンし、A2横サイズの原価を挿入した場合は312～317までのセンサがオンすると言うように、原価の幅に応じてオンするセンサの組み合わせが異なるので原価の幅を検知することが可能となる。

【0035】そしてこの組み合わせ信号DATAWIDTHをメモリ制御部305に入力して判断し、その判断結果に応じて信号を寄込アドレス発生部330に印加する。原価幅の検知終了後、不図示のピンチソレノイドがオンして入ロローラ107の従動ローラの幅が検知され、原価は更に奥に挿入可能となる。この時同時に蛍光灯110が点灯し、原価読み取りの準備を開始する。更に原価が奥に挿入され、原価の先端が不図示のゲート扉に突き当たられ原価挿入センサ321をオンすると不図示の駆動モータが駆動し、ゲートソレノイドがオンしてゲート扉が開き、そして搬送ローラ112が原価を搬送する。原価が搬送されて原価の先端が原価センサ322の上と接すると、原価長センサ322がオンする。

【0036】そして原価が搬送されて原価の先端が原価長センサ322の上を通過すると原価長センサ322はオフして、原価が原価長センサ322の上を通過している間を原価の読み取り有効領域として検知し、読み取り有効領域信号WFGATEを図4に示すメモリ制御部305及び搬送ラインカウンタ部350に入力する。A4縦の原価の幅及び長さを検知する場合を図6に示す。

【0037】搬送ラインカウンタ部350について説明する。搬送ラインカウンタ部350は図7に示すようにORゲート351とカウンタ352とANDゲート353で構成されている。

【0038】図8も用いて動作を説明する。カウンタ352のクリア端子CLRには副走査方向の読み取り有効領域信号を示すFGATE信号を入力する。このFGATE信号は上記WFGATE信号と、メモリの内容の消去を行う際にメモリ制御部305によりソフト的にオンする消去有効信号INFGATE信号とをORゲート351によりORを取った信号である。またクロック端子CLKには主走査方向の同期を取るための信号LSYNCを入力し、得られた出力QA～QCはANDゲート352に入力している。

8

【0039】以下動作を説明すると、通常の原価を読み取る場合には原価が原価長センサ322の上を通過してWFGATEがオン（Hレベル）になると、それまで出力QA～QCがクリア（カウント値＝0"）されているのが解除され、ライン原価を走査してクロック端子LSYNCの立ち上がりエッジが入力される毎にカウンタアップする。そしてカウント値が7"（QA～QC＝H）になると、ANDゲート352の出力WINT8がHレベルとなる。

【0040】以下再びカウンタ値は0"（QA～QC＝L）に戻る中で、結局WINT8はWFGATEがオンした後8ライン原価を走査する毎（8LSYNC周期）に1LSYNC周期の間Hレベルとなる。そしてこのWINT8は図4に示すようにメモリ制御部305に入力され、図21に示すWINT8割り込み処理に用いられる。メモリの内容を消去する場合にはWFGATEがオンする代わりにINFGATEがメモリ制御部305に制御されてオンするだけで、動作は同じである。

【0041】次に図9～図11を参照して搬送アドレス発生部330について説明する。搬送アドレス発生部330は図9に示すようにカウンタ部331、332と、ANDゲート333と、F/F334と、カウンタ335から構成されている。カウンタ部331、332のプリセット入力にはそれぞれメモリ制御部305から図11に示すように主走査方向の最大読み取り有効領域を示す信号LGATEからの原価の左端位置を示す信号SHIFT0～13が設定されている。

【0042】すなわち、原価の左端位置SHIFT0～13と原価の幅DOT0～13は原価のサイズに応じて異なるが、メモリ制御部305では原価幅検知部310により検知された信号DATAWIDTHに基づいてSHIFT0～13、DOT0～13（通常DATAWIDTH＝DOT0～13）を決定して、カウンタ部331、332に設定している（図20で後述する）。そしてカウンタ部331では信号LGATEの開始を示す信号*LGATESTがプリセット値のロード信号としてロード端子LDに、また、クロック端子CLKにクロック信号CLKを入力し、信号*LGATESTがLレベルになるとカウンタカウンタ331のプリセット値SHIFT0～13がロードされ、その後CLKに同期してカウンタダウンする。

【0043】そしてSHIFTの分だけカウンタダウンすると、ローが生成してその出力*SHIFTがLレベルとなるが、*SHIFTはANDゲート333を介してF/F334のクロック端子CLKに入力し、またF/F334は信号LSYNCの反転信号*LSYNCでプリセットされているため入力（＝*Q出力）はLレベルになっているので、*SHIFTEN Dの立ち上がりエッジでQ出力の*ADRS ENBがL

(6)

9

レベルになる。

【0044】また*SHIFTEN Dはカウンタカウンタ332のロード信号としてロード端子LDに、また、クロック端子CLKにクロック信号CLKが入力されているので、この時カウンタカウンタ332のプリセット値DOT0～13がロードされ、その後クロック信号CLKに同期してカウンタダウンする。そしてDOT分カウンタダウンすると、ローが生成して*DOTEN DがLレベルとなるが、この出力*DOTEN DはANDゲート333を介してF/F334のCLKに入力しているのりエッジで今度はHレベルになる。

【0045】次にカウンタ335の動作を説明すると、このカウンタ335のプリセット入力にはメモリ制御部305から搬送アドレス設定部340を介して書き込みアドレスの初期値WADINIT0～23がプリセットされる。この初期値WADINIT0～23は書き込みラインカウンタ部350の出力WINT8の開始位置から1クロック分だけLレベルになるロード信号*WIN T8STによりロードされ、メモリ部302に対する書き込みアドレスWADRS0～23が初期値WADINIT0～23に設定される。

【0046】そしてF/F334のQ出力*ADRS ENBがカウンタ335のカウントインポート端子EPPに入力しているので、Q出力*ADRS ENBがCLKが入力される時にカウンタアップせず、書き込みアドレスWADRS0～23が変わらないが、Q出力*ADRS ENBがLレベルになるとカウンタアップして書き込みアドレスWADRS0～23は更新され、従って1ラインの原価幅DOT分の原価データがメモリ部302に書き込まれる。なお、Q出力*ADRS ENBはまた搬送アドレス発生部390に入力されるが、その説明は図17及び図18において行う。

【0047】搬送アドレス設定部340は図12に示すようにパラレル/O341により構成され、このパラレル/O341の入力LINに対してメモリ制御部305が原価幅検知部310により検知されたDATAWIDTHと搬送ラインカウンタ部350により検知されたWINT8に基づいて搬送アドレスの初期値WADSET0～23を計算して出力する。そしてパラレル/O341は次の書き込みアドレスの初期値WADSET0～23がメモリ制御部305から入力するまでの入力値WADSET0～23を初期値WADINIT0～23として保持する。

【0048】アドレス制御部303のうちメモリ部302に対する読み出しアドレスを制御する部分の各部について以下説明する。先ず搬送有効信号発生部360について説明する。図13は搬送有効信号発生部360の構成の一例を示しているもので、図14はその動作を示したものである。搬送有効信号発生部360はF/F36

10

1により構成されている。搬送有効信号発生部360はメモリ制御部305がメモリ部302から原価データを読み出し可能と判断するまではF/F361のクリア端子に入力されたRFGENBをLレベルにしておき、Q出力からの読み出し有効信号（以下、RFGATEとも言う）をLレベルにする。

【0049】そしてメモリ部302が原価データを読み出し可能と判断したとき、メモリ制御部305がRFGENBをHレベルにセットすることによりRFGATEを出力可能状態とし、プリンタ200から原価データを読み出し要求信号（以下、DREQとも言う）が入力されるとその立ち上がりエッジにより、D入力Hレベルに設定されているRFGATEを出力（Hレベル）にする。そして原価データの読み出しが終了すると、メモリ制御部305がRFGENBをLレベルにセットすると、RFGATEの出力を停止（Lレベル）にする。そしてこのRFGATEは搬送ラインカウンタ部370及びメモリ制御部305に入力されそれ以後の処理に用いられる。

【0050】搬送ラインカウンタ部370について説明する。図15は搬送ラインカウンタ部370の構成の一例を示したものであり、図16はその動作を示したものである。搬送ラインカウンタ部370はカウンタ371とANDゲート372で構成されており、カウンタ371のクリア端子には搬送有効信号発生部360で発生されたRFGATE信号が入力され、クロック端子には主走査方向の同期を取るための信号LSYNCが入力されている。

【0051】そしてカウンタ371の出力QA～QCはANDゲート372に入力されている。以下動作を説明すると、メモリ制御部305がメモリ部302からの原価データの読み出しを可能と判断してRFGENBをHレベルとした後でプリンタ200からDREQが入力されRFGATEがオン（Hレベル）になると、それまで出力QA～QCがクリア（カウント値＝0"）されていたのが解除され、メモリ部302から1ライン原価データを読み出す毎にクロック端子LSYNCが入力されその立ち上がりエッジによりカウンタアップする。

【0052】そしてカウント値が7"（QA～QC＝H）になると、ANDゲート372の出力RINT8がHレベルとなる。以下再びカウンタ値は0"（QA～QC＝L）に戻る中で、結局RINT8はRFGATEがオンした後メモリ部302から8ライン分原価データを読み出す毎（8LSYNC周期）に1LSYNC周期の間Hレベルとなる。そしてこのRINT8はメモリ制御部305に入力され、それ以後の処理に用いられる。

【0053】搬送アドレス発生部390について説明する。図17は搬送アドレス発生部390の構成の一例を示したものであり、図18はその動作を示したものである。搬送アドレス発生部390はカウンタ391から構

(7)

11 成されている。以下動作を説明すると、カウンタ391は読出しアドレス設定部380からメモリ部302へ発生するための読出しアドレスの初期値RADINITA0～23がプリセット値として設定されており、これはRINT8ST(RINT8の開始位置から1CLK分レベルになる信号)によりロードされ読出しアドレスRADRSA0～23はRADINITA0～23になる。

12 [0054] として書込アドレス発生部330により発生された*ADRSENBがHレベルの時は、*ADRSNBがカウンタ391のカウンティンクリメント増子に入力されているのでCLKが入力されてもカウンタアップは行われないで出力される読出しアドレスRADRSA0～23はRADINITA0～23のまま変わらないが、*ADRSNBがHレベルの時はCLKに同期してカウンタアップが行われるので順次読出しアドレスRADRSA0～23は更新され、1ライン当たりメモリ部302に記憶されたDOTの分すなわち原稿の幅の分だけ画像データがメモリ部302から読み出される。

13 [0055] 読出しアドレス設定部380について説明する。図19は読出しアドレス設定部380の構成の一例を示したものである。読出しアドレス設定部380はパレル1/O381により構成されている。メモリ制御部305は原稿幅検知部310により検出したDATAWIDTHと、読出しラインカウンタ部370により検出したRINT8から計算したRADSETA0～23としてパレル1/O381に出力する。そしてパレル1/O381は入力された値を読出しアドレス発生部309に設定する読出しアドレスの初期値RADINITA0～23として次の読出しアドレスの初期値がメモリ制御部305から出力されるまで保持し続ける。

14 [0056] メモリ制御部305について説明する。メモリ制御部305はいわゆるCPU及びROM、RAM、制御部305はカウンタなどの周辺装置から構成されており、ROMに格納されたプログラムに従って動作を行う。以下その基本的な動作について説明する。

15 [0057] 図20はメモリ制御部305で行うメインの動作フローチャートである。電源オン後、ステップS1では読込み制御部305でカウンタの初期値がメモリ制御部305から出力されるまで保持し続ける。

WADSET0～23=8 * DATAWIDTH * Yin + OFFSET

16 [0062] この式の意味は8ライン毎に読込みがからるので1ライン分のデータ量DATAWIDTHに8を掛けて、それにRINT8割り込みを行った回数Yinを掛けて、それをRINT8割り込みで読込みアドレス設定部340に設定する。メモリ部302へ画像データを記憶する。ステップS13ではステップS12で計算したライブライトアドレスを書込アドレス設定部340に設定して読込み処理を終了し、メインフローチャートの無限ループに戻り読込み入力を持つ、以下WINT8割り込みの動作を説明する。

(8)

17 13 14 15 16 17 18 19 20 21 22 23 24 25 26 27 28 29 30 31 32 33 34 35 36 37 38 39 40 41 42 43 44 45 46 47 48 49 50 51 52 53 54 55 56 57 58 59 60 61 62 63 64 65 66 67 68 69 70 71 72 73 74 75 76 77 78 79 80 81 82 83 84 85 86 87 88 89 90 91 92 93 94 95 96 97 98 99 100 101 102 103 104 105 106 107 108 109 110 111 112 113 114 115 116 117 118 119 120 121 122 123 124 125 126 127 128 129 130 131 132 133 134 135 136 137 138 139 140 141 142 143 144 145 146 147 148 149 150 151 152 153 154 155 156 157 158 159 160 161 162 163 164 165 166 167 168 169 170 171 172 173 174 175 176 177 178 179 180 181 182 183 184 185 186 187 188 189 190 191 192 193 194 195 196 197 198 199 200 201 202 203 204 205 206 207 208 209 210 211 212 213 214 215 216 217 218 219 220 221 222 223 224 225 226 227 228 229 230 231 232 233 234 235 236 237 238 239 240 241 242 243 244 245 246 247 248 249 250 251 252 253 254 255 256 257 258 259 260 261 262 263 264 265 266 267 268 269 270 271 272 273 274 275 276 277 278 279 280 281 282 283 284 285 286 287 288 289 290 291 292 293 294 295 296 297 298 299 300 301 302 303 304 305 306 307 308 309 310 311 312 313 314 315 316 317 318 319 320 321 322 323 324 325 326 327 328 329 330 331 332 333 334 335 336 337 338 339 340 341 342 343 344 345 346 347 348 349 350 351 352 353 354 355 356 357 358 359 360 361 362 363 364 365 366 367 368 369 370 371 372 373 374 375 376 377 378 379 380 381 382 383 384 385 386 387 388 389 390 391 392 393 394 395 396 397 398 399 400 401 402 403 404 405 406 407 408 409 410 411 412 413 414 415 416 417 418 419 420 421 422 423 424 425 426 427 428 429 430 431 432 433 434 435 436 437 438 439 440 441 442 443 444 445 446 447 448 449 450 451 452 453 454 455 456 457 458 459 460 461 462 463 464 465 466 467 468 469 470 471 472 473 474 475 476 477 478 479 480 481 482 483 484 485 486 487 488 489 490 491 492 493 494 495 496 497 498 499 500 501 502 503 504 505 506 507 508 509 510 511 512 513 514 515 516 517 518 519 520 521 522 523 524 525 526 527 528 529 530 531 532 533 534 535 536 537 538 539 540 541 542 543 544 545 546 547 548 549 550 551 552 553 554 555 556 557 558 559 560 561 562 563 564 565 566 567 568 569 570 571 572 573 574 575 576 577 578 579 580 581 582 583 584 585 586 587 588 589 590 591 592 593 594 595 596 597 598 599 600 601 602 603 604 605 606 607 608 609 610 611 612 613 614 615 616 617 618 619 620 621 622 623 624 625 626 627 628 629 630 631 632 633 634 635 636 637 638 639 640 641 642 643 644 645 646 647 648 649 650 651 652 653 654 655 656 657 658 659 660 661 662 663 664 665 666 667 668 669 670 671 672 673 674 675 676 677 678 679 680 681 682 683 684 685 686 687 688 689 690 691 692 693 694 695 696 697 698 699 700 701 702 703 704 705 706 707 708 709 710 711 712 713 714 715 716 717 718 719 720 721 722 723 724 725 726 727 728 729 730 731 732 733 734 735 736 737 738 739 740 741 742 743 744 745 746 747 748 749 750 751 752 753 754 755 756 757 758 759 760 761 762 763 764 765 766 767 768 769 770 771 772 773 774 775 776 777 778 779 780 781 782 783 784 785 786 787 788 789 790 791 792 793 794 795 796 797 798 799 800 801 802 803 804 805 806 807 808 809 810 811 812 813 814 815 816 817 818 819 820 821 822 823 824 825 826 827 828 829 830 831 832 833 834 835 836 837 838 839 840 841 842 843 844 845 846 847 848 849 850 851 852 853 854 855 856 857 858 859 860 861 862 863 864 865 866 867 868 869 870 871 872 873 874 875 876 877 878 879 880 881 882 883 884 885 886 887 888 889 890 891 892 893 894 895 896 897 898 899 900 901 902 903 904 905 906 907 908 909 910 911 912 913 914 915 916 917 918 919 920 921 922 923 924 925 926 927 928 929 930 931 932 933 934 935 936 937 938 939 940 941 942 943 944 945 946 947 948 949 950 951 952 953 954 955 956 957 958 959 960 961 962 963 964 965 966 967 968 969 970 971 972 973 974 975 976 977 978 979 980 981 982 983 984 985 986 987 988 989 990 991 992 993 994 995 996 997 998 999 1000

(9)

15

【0074】一連の複写動作と各割り込みタイミングの関係を図35に示す。メモリ302の内容を消去する場合の制御について説明する。メモリ302の内容を消去する場合には、通常原像を読み取ってWFGATE信号をオンさせて画像データを書き込むとは異なり、メモリ制御305により、WFGATE信号の代わりとなる消去有効信号INFGATEをオンすることによって画像データの書き込みを開始する。またその時画像データは常に白に固定されており、メモリ302の内容は白に書き換えられる。

【0075】図36にメモリ302の内容の消去を行うまでの制御フローチャートを示す。ステップS101において一連の複写動作が完了した後、システム制御部500はメモリ制御305に複写動作が完了したことを知らせるとともに計時を開始する。ステップS102で所定時間が経過したかどうかを判断し、所定時間が経過した場合にはメモリ内容の消去処理に移行する。所定時間が経過していない場合にはステップS103に進み、更に操作部450のモードクリアキーが押されたか(モードクリアが実行されたか)をシステム制御部500により判断する。

【0076】モードクリアが実行された場合にはメモリ内容の消去処理に移行し、モードクリアが実行されなければステップS104に進む。ステップS104ではスキャナ100に原像がセットされ複写動作を開始したかどうかを判断し、複写動作が開始すれば次の原像の読み取りによりメモリ内容は上書きされるので、また一連の複写動作が完了するまではこの処理を行わず、複写動作が開始されなければステップS102に戻り所定時間が経過したかどうか引き続き判断される。

【0077】次に実際にメモリの内容を消去するための制御について説明する。図37に制御フローチャートを示す。まずステップS111ではメモリ制御305により書き込みのための初期設定を行い、書き込みアドレス設定部340に設定する書き込みアドレスの初期値を0(一番先頭)にして、また書き込みアドレス発生部30に設定する原像の幅を示すDOT0〜13を設定可能な最大値とし、それに合わせてSHIFT0〜13も設定する。DOT0〜13を最大値にすることにより消去にかかる時間が最小となる。

【0078】ステップS112では書き込みのための初期設定が終わったのを受けて実際に書き込みをスタートするために、メモリ制御305により消去有効信号INFGATEをオンする。INFGATE信号をオンすると、以下自動的にWINT8割り込みが発生するので、書き込みアドレスを制御しながらステップS113でメモリへのデータの書き込みを行う。この時画像データはS/P変換部610でマスキングされているので白データとになっている。そしてステップS114でメモリ302の最終アドレスまで書き込みを行ったかを判断して、最終

(10)

17

ある。
【図13】 読出有効信号発生部の構成例を示す回路図である。
【図14】 読出有効信号発生部の動作を説明するためのタイミング図である。

【図15】 読出ラインカウンタ部の構成例を示す回路図である。
【図16】 読出ラインカウンタ部の動作を説明するためのタイミング図である。

【図17】 読出アドレス発生部の構成例を示す回路図である。
【図18】 読出アドレス発生部の動作を説明するためのタイミング図である。

【図19】 読出アドレス設定部の構成例を示す回路図である。
【図20】 メモリ制御が行うメインの動作フローチャートである。

【図21】 1枚目の原像を読み出すための読み出しアドレスをメモリに対して設定する動作フローチャートである。

【図22】 カウンタの初期化及びライト用のカウンタ値の保存などを行う動作フローチャートである。

【図23】 メモリ部のリードアドレスの先頭の値の計算及び読出アドレス設定部Aへの設定を行う動作フローチャートである。

【図24】 カウンタの値の保存と初期化及びメモリ部の書き込みアドレスの初期値の設定を行う動作フローチャートである。

【図25】 読出有効信号発生部に対してRFGENBをHレベルに設定する動作フローチャートである。

【図26】 S/P変換部の構成例を示す回路図である。
【図27】 S/P変換部の動作を説明するためのタイミング図である。

【図28】 メモリ部の動作を説明するためのタイミング図である。
【図29】 データ切り換え部の構成例を示す回路図である。

【図30】 データラッチ部の構成例を示す回路図である。
【図31】 データラッチ部の動作を説明するためのタイ

18

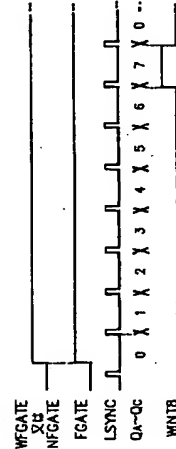
ミング図である。
【図32】 P/S変換部の構成例を示す回路図である。
【図33】 P/S変換部の動作を説明するためのタイミング図である。
【図34】 画像加工部の構成例を示す回路図である。

【図35】 一連の複写動作と各割り込みタイミングの関係を示すタイミング図である。
【図36】 メモリ内容の消去を行うまでの制御例を示すフローチャートである。

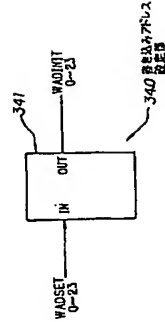
【図37】 実際にメモリの内容を消去する制御例1を示すフローチャートである。
【図38】 実際にメモリの内容を消去する制御例2を示すフローチャートである。

【符号の説明】
100 スキャナ
101 CCD (電荷転送素子)
102 増幅回路
103 A/D変換器
104 シェーディング補正回路
105 画像処理回路
106 クロック発生部
108 コンタクトガラス
110 光源
111 レンズ
200 プリント
300 画像メモリ
301 メモリ制御部
302 メモリ部
303 アドレス制御部
310 原像幅検知部
320 原像長検知部
330 書き込みアドレス発生部
340 書き込みアドレス設定部
360 読出ラインカウンタ部
370 読出アドレス発生部
380 読出アドレス発生部
390 読出アドレス発生部
450 操作部
500 システム制御装置
700 同軸ケーブル

【図8】

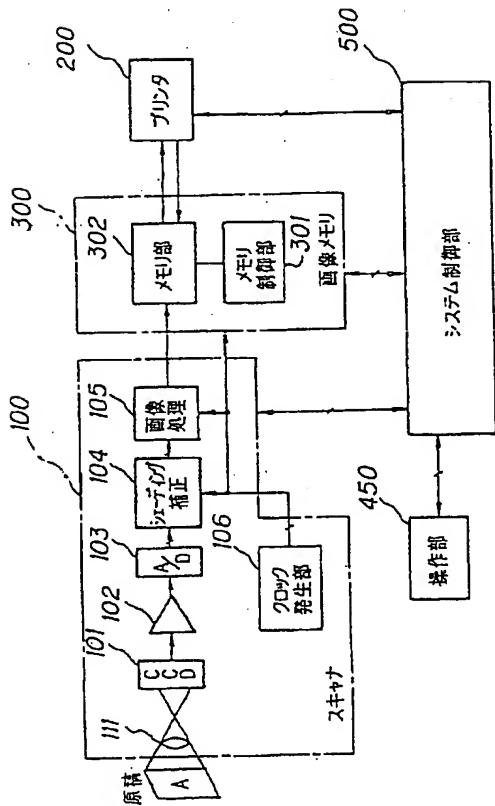


【図12】



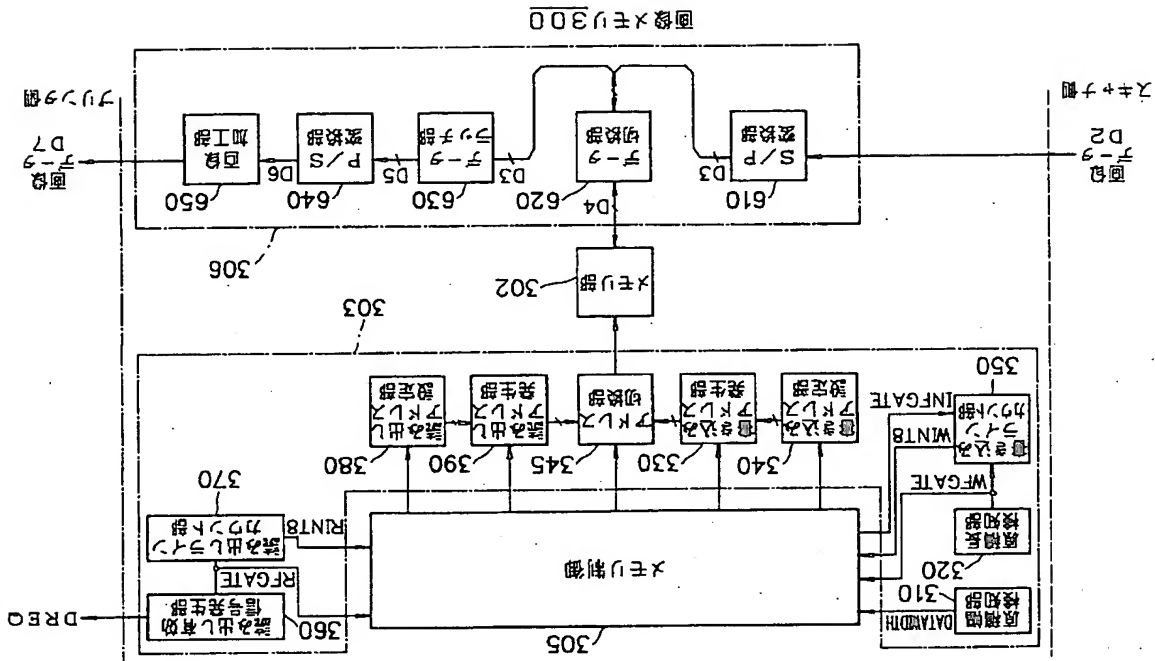
(11)

【図1】

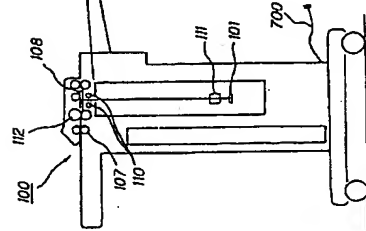


(12)

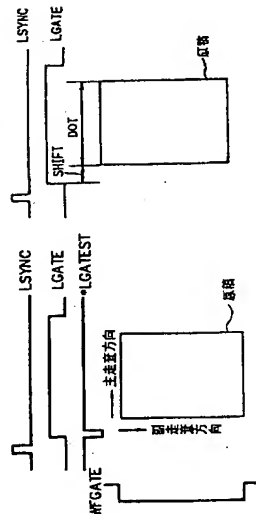
【図4】



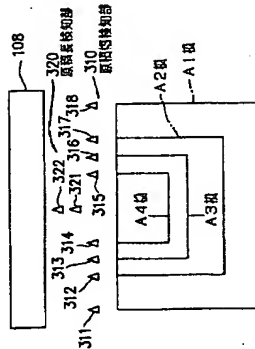
【図2】



【図3】

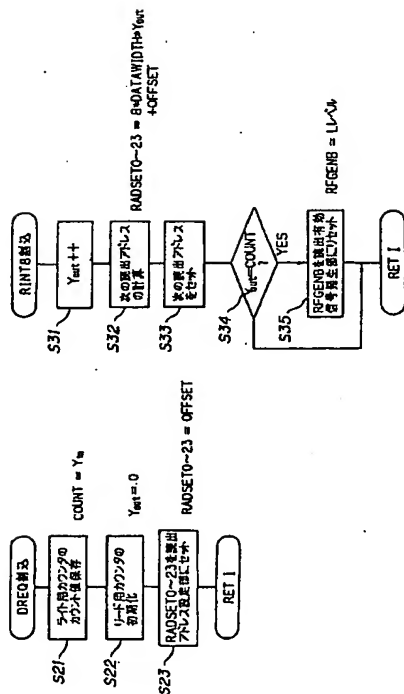


【図5】

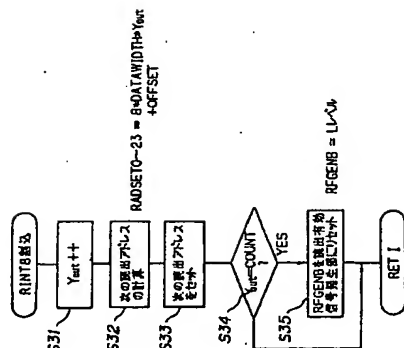


(15)

【図22】

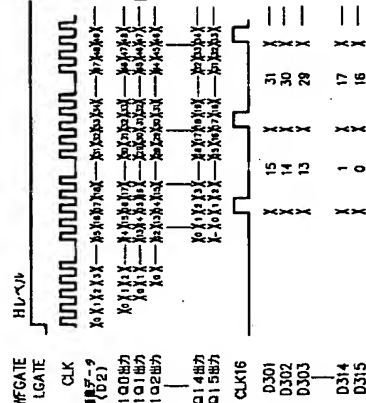


【図23】

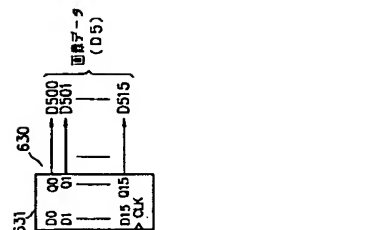


(16)

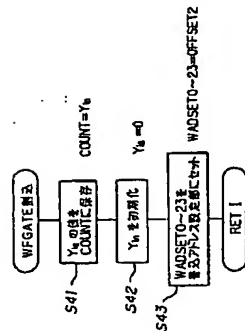
【図27】



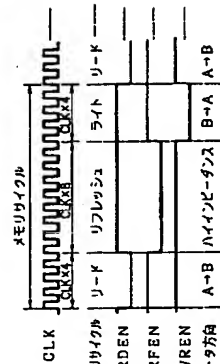
【図30】



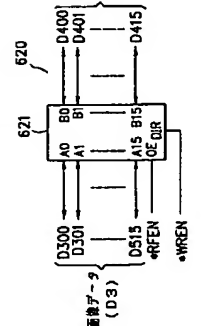
【図24】



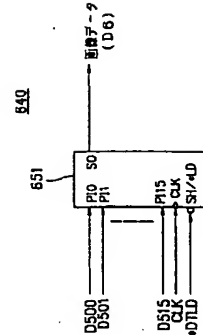
【図28】



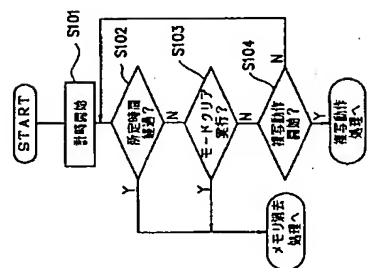
【図29】



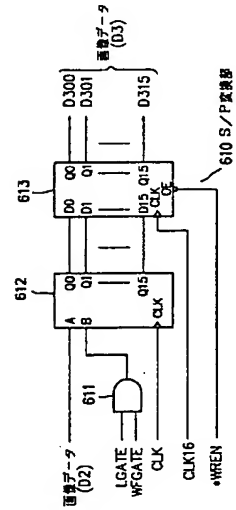
【図32】



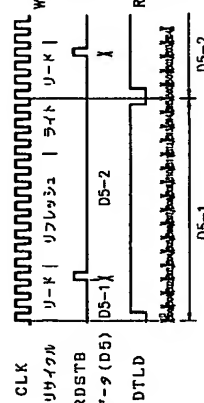
【図36】



【図26】



【図33】



【図35】

